



19 BUNDESREPUBLIK
DEUTSCHLAND



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑬ **DE 100 26 253 A 1**

⑤ Int. Cl. 7:
H 01 L 27/105
H 01 L 23/525
G 11 G 17/14

⑦ Aktenzeichen: 100 26 253.8
⑧ Anmeldetag: 26. 5. 2000
⑨ Offenlegungstag: 6. 12. 2001

DE 100 26253 A 1

⑦ Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦ Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667
München

72) Erfinder:
Hönigschmid, Heinz, 82343 Pöcking, DE

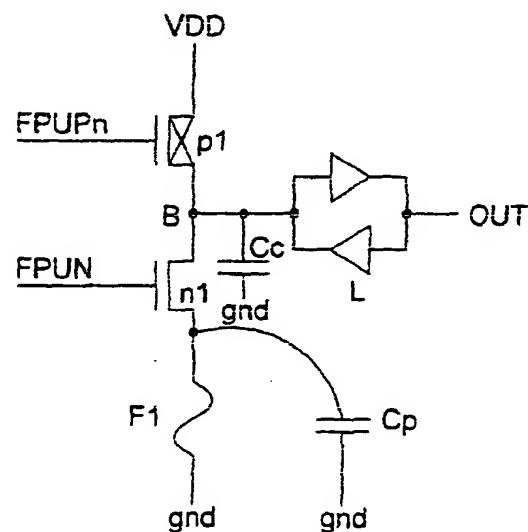
55) Entgegenhaltungen:
US 48 60 256

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54) Fuse-Schaltungsanordnung

57 Die Erfindung betrifft eine Fuse-Schaltungsanordnung, bei der in der Auswerteschaltung (L) eine Kompensationskapazität (cc) vorgesehen wird, welche einer parasitären Kapazität (Cp) zwischen einem Schalttransistor (n1) und der Fuse (F1) entgegenwirkt.



DDE 100 26 253 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Fuse-Schaltungsanordnung aus einer Reihenschaltung von einem ersten Schalttransistor und einem zweiten Schalttransistor mit einer Fuse und einer an den Verbindungsknoten zwischen den beiden Schalttransistoren angeschlossenen Auswerteschaltung, an deren Ausgang der Zustand der Fuse abspeicherbar ist.

[0002] Fuse-Schaltungsanordnungen, wie insbesondere Fuse-Latches ("Verriegelungsglieder") werden bevorzugt in üblichen Speichern, wie beispielsweise DRAMs, FeFAMs, Flashes usw. zur Redundanz, Chip-Identifikation und für verschiedene weitere Einstellungen und Zwecke eingesetzt.

[0003] Eine derartige Fuse-Latch ist in Fig. 4 gezeigt: zwischen der Chip-Versorgungsspannung VDD und Masse gnd liegen ein p-Kanal-MOS-Feldefekttransistor p1, ein n-Kanal-MOS-Feldefekttransistor n1 und eine Fuse F1 in Reihe. Der Transistor p1 ist durch ein Signal FPUPn angesteuert, während der Transistor n1 durch ein Signal FPUN angesteuert ist. Ein Knoten B zwischen den beiden Transistoren p1 und n1 ist mit einem Latch L verbunden, das einen Ausgang OUT hat.

[0004] Während der Initialisierung dieses Fuse-Latch wird zunächst das Steuersignal FPUPn auf niedrigem Niveau, d. h. aktiv gehalten, wodurch der Transistor p1 durchgeschaltet und in den leitenden Zustand gebracht wird. Dadurch wird der Knoten B auf die Spannung VDD aufgeladen und über das Latch L auf diesem Potential festgehalten. Am Ausgang OUT liegt das hierzu invertierte Potential gnd.

[0005] Sodann wird das Steuersignal FPUPn deaktiviert, d. h. auf das Potential VDD gezogen, und das Signal FPUN wird aktiviert, d. h. auf einen hohen Pegel gebracht. Dadurch wird der Transistor n1 kurzzeitig durchgeschaltet. Das Potential am Knoten B hängt nun davon ab, ob die Fuse F1 durchgängig, also leitend, oder geschlossen, also nichtleitend, ist. Es sei angemerkt, daß anstelle einer Fuse auch eine Anti-Fuse eingesetzt werden kann. Eine Anti-Fuse ist nichtleitend und im geschlossenen Zustand leitend.

[0006] Ist die Fuse F1 leitend, so wird der Knoten B auf das Potential gnd gezogen, während bei nichtleitender Fuse das vorangegangene Potential VDD beibehalten wird.

[0007] Das Latch L speichert diese Einstellung invertiert an seinem Ausgang OUT ab: ist die Fuse F1 nichtleitend, also der Knoten B auf dem Potential VDD, so ist der Ausgang OUT auf niedrigem Potential gnd, während bei leitender Fuse F1 der Knoten B auf Potential gnd ist und am Ausgang OUT das invertierte Potential VDD anliegt.

[0008] In Fig. 5 ist der Verlauf der Signale FPUPn und FPUN sowie der Potentialverlauf am Ausgang OUT bei leitender und nichtleitender Fuse F1 dargestellt.

[0009] Am Ausgang OUT wird so also eine Bewertung der Fuse-Information ("leitend" oder "nichtleitend", d. h. "nichtgeschlossen" bzw. "geschlossen" bei einer EFuse und "geschlossen" bzw. "nichtgeschlossen" bei einer Anti-Fuse) erhalten.

[0010] Bei der bestehenden Fuse-Schaltungsanordnung, wie diese in Fig. 4 gezeigt ist, kann es aufgrund parasitärer Kapazitäten zu einer Fehlbewertung der Fuse-Information kommen, was im folgenden anhand der Fig. 6 und 7 näher erläutert werden soll.

[0011] Ein parasitärer Kondensator Cp, der beispielsweise durch Flächen bzw. Leitungen im Layout der Schaltungsanordnung zwangsläufig entsteht, ist parallel zu der Fuse F1 geschaltet. Dieser parasitäre Kondensator Cp bewirkt dann ein Entladen des Knotens B selbst dann, wenn die Fuse F1 nichtleitend ist. Der parasitäre Kondensator Cp wird näm-

lich über den leitenden Transistor n1 bei nichtleitender Fuse F1 aufgeladen, wodurch eben der Knoten B entladen wird. Ist der Knoten B entladen, so liegt am Ausgang OUT das hohe Potential VDD. Das heißt, das Latch L kippt um, was zu einer Fehlbewertung des Zustandes der Fuse F1 führt. Dies ist aus Fig. 7 (siehe Zeilen 4 und 6) zu ersehen: am Ausgang OUT wird die gleiche Bewertung erhalten, wenn die Fuse F1 leitet und wenn die Fuse F1 nicht leitet.

[0012] Eine derartige Fehlbewertung macht die Fuse-Schaltungsanordnung unbrauchbar und für die Verwendung, beispielsweise in Speicheranordnungen, ungeeignet.

[0013] Es ist daher Aufgabe der vorliegenden Erfindung, eine Fuse-Schaltungsanordnung zu schaffen, bei der Fehlbewertungen infolge parasitärer Kapazitäten praktisch ausgeschlossen sind.

[0014] Diese Aufgabe wird bei einer Fuse-Schaltungsanordnung der eingangs genannten Art erfahrungsgemäß durch eine an den Verbindungsknoten angeschlossene Kompensationskapazität, die einer zwischen der Verbindung zwischen dem zweiten Schalttransistor und der Fuse einerseits und Ground andererseits auftretenden, parasitären Kapazität entgegenwirkt, gelöst. Diese Kompensationskapazität kann in vorteilhafter Weise das Layout der Verbindung zwischen dem zweiten Schalttransistor und der Fuse nachbilden.

[0015] Bei der erfahrungsgemäßen Fuse-Schaltungsanordnung wird also eine Kompensationskapazität am Knoten zwischen den beiden Schalttransistoren vorgeschenkt. Diese Kompensationskapazität wird zunächst auf das hohe Potential VDD aufgeladen. Dadurch kann der nötige Aufladestrom für die parasitäre Kapazität Cp aus der Kompensationskapazität gezogen werden, ohne daß ein Umladen des Latch zu befürchten ist. Aus Platzgründen sollte die Kompensationskapazität nicht zu groß dimensioniert sein.

[0016] In vorteilhafter Weise sollte vielmehr die Kompensationskapazität etwa den gleichen Wert haben wie die parasitäre Kapazität. Dies kann beispielsweise dadurch erreicht werden, daß das Layout der Verbindung zwischen dem zweiten Schalttransistor und der Fuse auch in der Verbindung zwischen dem Knoten und dem Latch nachgebildet ist. Mit anderen Worten, das Layout der Fuse-Anordnung wird in der Auswerteschaltung so weit als möglich wiederholt, um dadurch die Kompensationskapazität zu generieren, welche der parasitären Kapazität entgegenwirkt.

[0017] Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

[0018] Fig. 1 ein schematisches Schaltbild der erfahrungsgemäßen Fuse-Schaltungsanordnung.

[0019] Fig. 2 ein erstes Ausführungsbeispiel für das Layout der Kompensationskapazität,

[0020] Fig. 3 ein zweites Ausführungsbeispiel für das Layout der Kompensationskapazität,

[0021] Fig. 4 ein Schaltbild einer bestehenden Fuse-Schaltungsanordnung,

[0022] Fig. 5 den Verlauf von Signalen bei der Fuse-Schaltungsanordnung von Fig. 4,

[0023] Fig. 6 ein Fig. 4 entsprechendes Schaltbild mit einer zusätzlichen parasitären Kapazität, und

[0024] Fig. 7 den Verlauf von Signalen bei der Fuse-Schaltungsanordnung von Fig. 6 mit zusätzlicher parasitärer Kapazität.

[0025] Die Fig. 4 bis 7 sind bereits eingangs erläutert worden. In den Figuren werden einander entsprechende Bauteile jeweils mit den gleichen Bezugszeichen versehen.

[0026] Wie aus Fig. 1 zu ersehen ist, liegt bei der erfahrungsgemäßen Fuse-Schaltungsanordnung zwischen dem Knoten B, der die beiden Schalttransistoren p1 und n1 miteinander verbindet, und Ground gnd eine Kompensationska-

pazität C_c , die in vorteilhafter Weise etwa die gleiche Größe wie die parasitäre Kapazität C_p hat, welche zwischen dem Verbindungspunkt zwischen dem Transistor $n1$ und der Fuse $F1$ einerseits sowie Ground gnd andererseits auftritt. Ist die Fuse $F1$ nichtleitend, also geschlossen, so wird der Aufladestrom für die zwangsläufig vorhandene parasitäre Kapazität C_p aus der Kompensationskapazität C_c über den Knoten B und den Transistor $n1$ gezogen. Dadurch kann eine Entladen des Knotens B verhindert werden, so daß dieser auf hohem Potential verbleibt. Am Ausgang OUT liegt dann der hierzu invertierte Zustand, also niedriges Potential, vor, was der Fall sein muß, wenn die Fuse $F1$ nicht leitet.

[0027] Eine Fehlbewertung des Zustandes der Fuse $F1$ am Ausgang OUT des Latches L kann so zuverlässig verhindert werden.

[0028] Die Fig. 2 und 3 zeigen noch vorteilhafte Ausgestaltungen für die Kompensationskapazität C_c . Diese Kompensationskapazität C_c soll, wie bereits oben erläutert wurde, das Layout der Verbindung zwischen dem Transistor $n1$ und Ground gnd über die Fuse $F1$ möglichst nachbilden. Hierzu wird die Kompensationskapazität C_c in ähnlicher Weise gestaltet wie der Leiterzug für die Verbindung zwischen diesem Transistor $n1$ und Ground gnd mit dem die Fuse $F1$ bildenden Metallstück, das eine Verjüngung hat, auf der ein Laser aufsetzen und zum Durchtrennen der Verjüngung schneiden kann.

[0029] In dem Ausführungsbeispiel von Fig. 2 wird dabei das komplette Metallstück der Fuse $F1$ auf die Kompensationskapazität C_c "abgebildet", so daß bei geschlossener Fuse $F1$ eine Überkompensation vorliegen kann.

[0030] Dagegen wird beim Ausführungsbeispiel von Fig. 3 durch die Kompensationskapazität C_c das Layout der Schaltung bei einem erwarteten Laserschnitt nach Schließen der Fuse $F1$ nachgebildet. Das heißt, das Layout der Kompensationskapazität wird dadurch verkleinert, daß lediglich das nach dem Laserschnitt verbleibende Metallstück zur Verdrahtung benutzt wird.

Patentansprüche

1. Fuse-Schaltungsanordnung aus einer Reihenschaltung von einem ersten Schalttransistor (p1) und einem zweiten Schalttransistor (n1) mit einer Fuse (F1) und einer an dem Verbindungsknoten (B) zwischen den beiden Schalttransistoren (p1, n1) angeschlossenen Auswerteschaltung (L), an deren Ausgang (OUT) der Zustand der Fuse (F1) absperrbar ist, gekennzeichnet durch eine an dem Verbindungsknoten (B) angeschlossene Kompensationskapazität (C_c), die einer zwischen der Verbindung zwischen dem zweiten Schalttransistor (n1) und der Fuse (F1) eingeschalteten Ground (gnd) andererseits auftretenden, parasitären Kapazität (C_p) entgegenwirkt.
2. Fuse-Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Kompensationskapazität (C_c) das Layout der Verbindung zwischen dem zweiten Schalttransistor (n1) und der Fuse (F1) nachbildet.
3. Fuse-Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Kompensationskapazität (C_c) im wesentlichen die gleiche Größe wie die parasitäre Kapazität (C_p) hat.

Hierzu 2 Seite(n) Zeichnungen

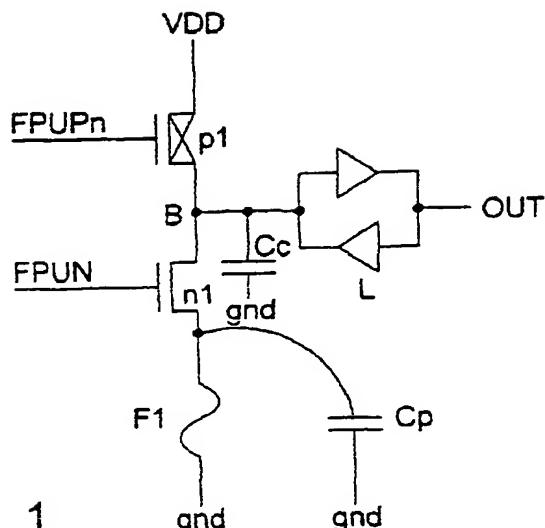


Fig. 1

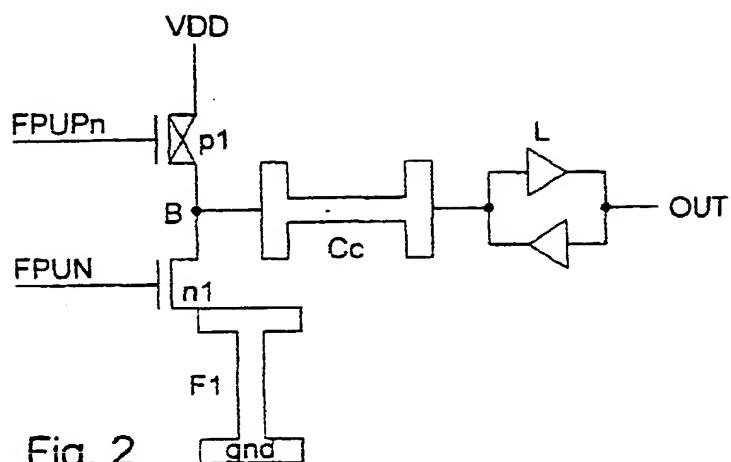


Fig. 2

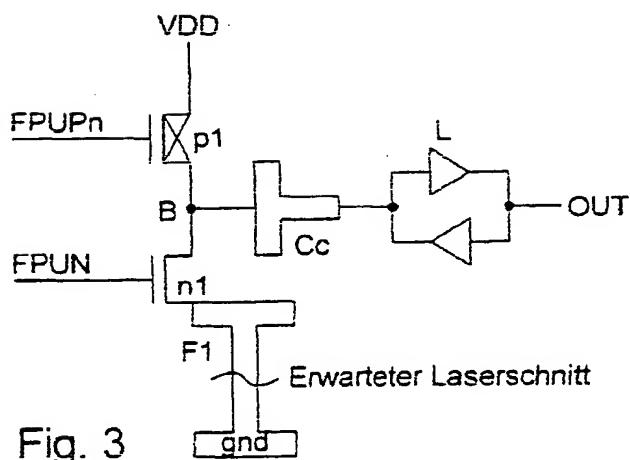


Fig. 3

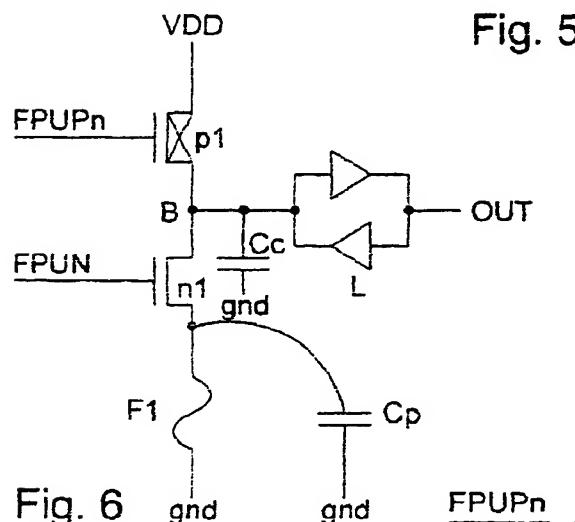
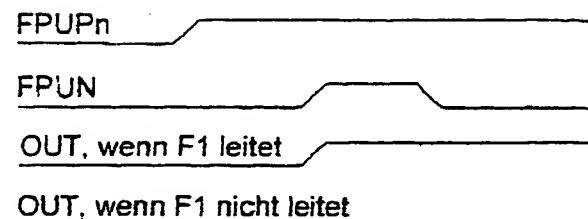
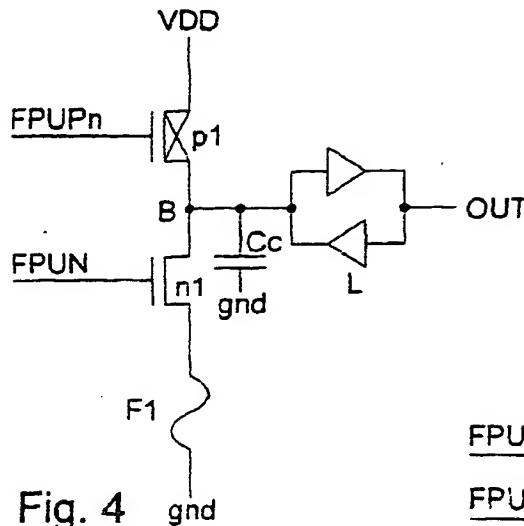


Fig. 7



Fuse circuit configuration

Patent Number: US2001054948
Publication date: 2001-12-27
Inventor(s): HONIGSCHMID HEINZ (US)
Applicant(s):
Requested Patent: DE10026253
Application Number: US20010867257 20010529
Priority Number(s): DE20001026253 20000526
IPC Classification: H01H85/04
EC Classification: G11C17/14, G11C17/18
Equivalents: EP1158537, A3, US6545526

Abstract

A fuse circuit configuration is described wherein a compensation capacitor counteracts a parasitic capacitor. The parasitic capacitor occurs between a connection point of a switching transistor and a fuse and ground. The compensation capacitor is connected to an evaluation circuit. In this manner, the negative effects caused by the parasitic capacitor are compensated for

Data supplied from the esp@cenet database - I2

DOCKET NO: P2002, 0710
SERIAL NO: _____
APPLICANT: J. Müller
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100